



ANÁLISE COMPARATIVA ENTRE TECNOLOGIAS DE SEMICONDUTORES EM ALTA FREQUÊNCIA DE CHAVEAMENTO VIA SIMULAÇÃO COMPUTACIONAL

Osmar Felipe Alves Eleodoro*¹, Vítor Fonseca Barbosa¹, Luiz Carlos Gomes de Freitas¹

¹FEELT – Universidade Federal de Uberlândia
NUPEP – Núcleo de Pesquisas em Eletrônica de Potência

Resumo – Novas tecnologias de semicondutores têm ganhado espaço no mercado atual, com ênfase para as tecnologias de carbeto de silício (SiC) e nitreto de gálio (GaN), se contrapondo aos tradicionais semicondutores de silício (Si). Este artigo visa analisar computacionalmente as potências dissipadas em transistores das tecnologias mencionadas, a fim de demonstrar objetivamente as áreas de atuação de cada dispositivo, bem como comparar quantitativamente suas características. Para tal, são utilizadas formas de onda de tensão e corrente nos mesmos, utilizando a topologia de conversor estático *Boost* projetado para 1kW, analisado computacionalmente via simulação no *software* LTspice. A partir de simulações computacionais, foi observada a inferioridade do semicondutor de Si comparada às demais tecnologias na aplicação desenvolvida, assim como a eficiência das tecnologias de SiC e GaN para frequências elevadas.

Palavras-Chave - Alta Frequência, Boost, Carbeto de Silício, LTspice, Nitreto de Gálio, Semicondutores

COMPARATIVE ANALYSIS BETWEEN SEMICONDUCTOR TECHNOLOGIES AT HIGH SWITCHING FREQUENCY VIA COMPUTATIONAL SIMULATION

Abstract – New semiconductor technologies have been gaining space in the actual market, with emphasis for the technologies of silicon carbide (SiC) and gallium nitride (GaN), opposing the traditional semiconductors of silicon (Si). This paper aims to computationally analyze the dissipated power in transistors of the mentioned technologies, in order to objectively demonstrate the action areas of each device, as well as quantitatively compare their practical features. For this purpose, voltage and current waveforms are used, using an approximately 1kW Boost static converter topology, analyzed via computational simulation in LTspice software. From computational simulations, the inferiority of the Si semiconductor compared to other technologies in the developed application was observed, as well as the

efficiency of the SiC and GaN technologies for high frequencies.

Keywords – Boost, Gallium Nitride, High Frequency, LTspice, Semiconductors, Silicon Carbide

I. INTRODUÇÃO

Conversores estáticos são imprescindíveis na cadeia energética, sendo eficientemente aplicados a diversos equipamentos de conversão de energia elétrica. Devido às preocupações em relação a questões ambientais e econômicas, a eficiência do circuito final tem grande relevância no processo de desenvolvimento, incitando o desenvolvimento tecnológico da área [1, 2].

Para o funcionamento dos conversores estáticos, são necessários semicondutores aplicados como chaves passivas e ativas, como diodos e transistores respectivamente. Devido à crescente demanda por eficiência e densidade de potência, novas tecnologias de semicondutores são apresentadas, como SiC e GaN, se contrapondo ao tradicional Si nos processos de fabricação.

Os dispositivos produzidos com as tecnologias SiC e GaN, apesar de recentes, são mais rápidos e eficientes que os dispositivos a base de silício, tanto em circuitos de potência [3-7], quanto na utilização em fabricação de circuitos integrados digitais [8]. Por possuírem atuação mais rápida e menores resistências no período de condução, são aptos a trabalhar em maiores frequências, mantendo a eficiência acima dos dispositivos da tecnologia anterior, e levando a uma maior densidade de potência do circuito final, devido à redução de volume dos elementos passivos [9, 10].

O artigo proposto tem como objetivo analisar as perdas de um conversor *Boost* em altas frequências de chaveamento (>100 kHz), utilizando as três tecnologias de chaves supracitadas. As análises foram realizadas computacionalmente, com os modelos computacionais disponibilizados pelos fabricantes dos dispositivos, garantindo resultado equivalente a circuitos reais. Por apresentar compatibilidade com os modelos *spice* disponibilizados pelos fabricantes, alta fidelidade e velocidade de simulação e o fato de ser distribuído gratuitamente, o

*osmar.eleodoro@ufu.br

software LTspice, da Analog Devices, Inc. foi escolhido para este trabalho.

II. PERDAS EM ELEMENTOS COMUTADORES

As perdas de potência referentes a dispositivos comutadores se dividem em três áreas: perdas por condução, perdas por chaveamento e perdas de bloqueio [11]. Esta última, por possuir contribuição irrelevante no estudo, será desconsiderada. Abaixo, uma breve descrição sobre as perdas analisadas no artigo.

A. Perdas por Condução

As perdas por condução em transistores de potência podem ser estimadas a partir de sua resistência de dreno-fonte em estado ligado, valor encontrado em datasheet do componente. Para o cálculo da potência, tem-se a equação (1):

$$P_{cond}(t) = R_{DS(on)} \cdot i_D^2(t) \quad [W] \quad (1)$$

Onde:

- $P_{cond}(t)$ - Potência dissipada por condução.
- V_{ds} - Tensão entre dreno e fonte.
- i_D - Corrente de dreno.
- $R_{DS(on)}$ - Resistência entre dreno e fonte no estado ligado.

Analisando o valor médio da equação (1) durante um ciclo de condução T , que representa um período ou um múltiplo do período de chaveamento, temos as equações (2) e (3):

$$P_{cond} = \frac{1}{T} \int_0^T P_{cond}(t) dt = \frac{1}{T} \int_0^T R_{DS(on)} \cdot i_D^2(t) dt \quad (2)$$

$$P_{cond} = R_{DS(on)} \cdot i_{D(rms)}^2 \quad [W] \quad (3)$$

Onde:

- $i_{D(rms)}$ - Corrente de dreno eficaz.
- P_{cond} - Potência média dissipada por condução.

A partir da equação (3), serão determinadas as perdas de potência por condução dos dispositivos analisados.

Com os parâmetros de cada dispositivo, pode-se incluir na análise o indicador *Figure of Merit* (FoM), que se trata de uma forma numérica de representar o desempenho e comportamento de dispositivos FET (do inglês *Field Effect Transistor*, em tradução livre, Transistor de Efeito de Campo), sendo que quanto menor o indicador, mais eficiente é o dispositivo. O indicador FoM que representa o desempenho de condução [12], é dado pela equação (4).

$$FoM_{cond} = R_{DS(on)} \cdot Q_G \quad (4)$$

Onde:

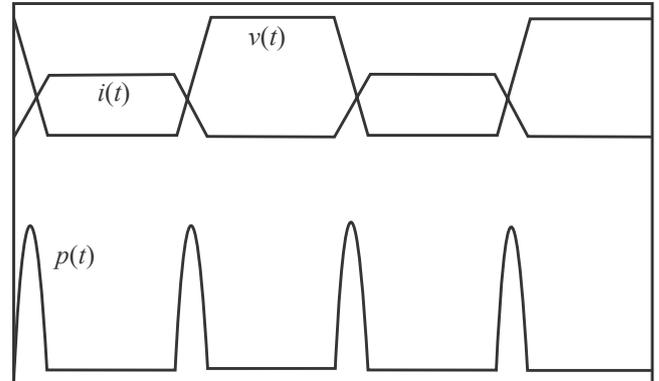
- FoM_{cond} - FoM para condução.
- Q_G - Carga de porta.

B. Perdas por Chaveamento

As perdas por chaveamento ocorrem nas transições entre o período de condução e bloqueio, devido aos tempos de subida e descida durante a comutação. Quando existe superposição

entre tensão dreno-fonte e corrente de dreno neste período, há uma perda de potência associada, que é proporcional à frequência de chaveamento do circuito.

Figura 1: Potência dissipada em circuitos chaveados.



Fonte: Adaptado de [13]

Estas perdas podem ser divididas entre o período de ativação e desligamento da chave, com energias médias E_{onM} e E_{offM} respectivamente. O cálculo destas energias é realizado a partir das formas de onda do dispositivo, durante os períodos descritos. Com a frequência de comutação f_{chav} , tem-se a potência média P_{chav} devido às perdas por chaveamento, na equação (5).

$$P_{chav} = (E_{onM} \cdot E_{offM}) \cdot f_{chav} \quad [W] \quad (5)$$

A partir das perdas consideradas, calcula-se o total associado ao dispositivo:

$$P_{total} = P_{cond} + P_{chav} \quad (6)$$

Substituindo as equações (3) e (5) em (6), obtém-se (7):

$$P_{total} = R_{DS(on)} \cdot i_{D(rms)}^2 + (E_{onM} \cdot E_{offM}) \cdot f_{chav} \quad [W] \quad (7)$$

Para a condição de chaveamento, também existe um indicador FoM para representar o desempenho dos semicondutores analisados [12], que é dado pela equação (8).

$$FoM_{chav} = R_{DS(on)} \cdot (Q_{GD} + Q_{GS}) \quad (8)$$

Onde:

- FoM_{chav} - FoM para chaveamento.
- Q_{GD} - Carga de porta para dreno.
- Q_{GS} - Carga de porta para fonte.

III. SEMICONDUTORES

A. Tecnologia Si

O Si foi um dos primeiros materiais com característica semicondutora descoberto, ao final do século XIX. Desde lá, suas aplicações foram constantemente melhoradas, alcançando a tecnologia utilizada atualmente em transistores e diodos [14]. Os dispositivos construídos a partir do Si são

dominantes no mercado de semicondutores, com complexidade a nível industrial amplamente dominada e um grande mercado consumidor, o que leva a baixo custo de produção e ampla variedade de dispositivos.

Para representar a tecnologia via simulação, o dispositivo escolhido foi o MOSFET STW56N65M2-4, da STMicroelectronics®, com parâmetros [15] descritos na Tabela 1. O dispositivo é um transistor de efeito de campo metal-óxido-semicondutor (MOSFET) de canal N, com encapsulamento TO247-4, com lançamento em dezembro de 2014. O encapsulamento deste dispositivo possui um terminal de fonte dedicado exclusivamente para seu controle, que o torna excepcionalmente superior aos demais dispositivos desta tecnologia, que em geral não o possuem.

B. Tecnologia SiC

O SiC é um composto químico a base de silício e carbono, geralmente sintético, mas encontrado também naturalmente na forma do raro mineral moissanite. A utilização de SiC como semicondutor é recente, tendo os primeiros dispositivos desenvolvidos em meados de 2010. O material suporta maior temperatura, maiores frequências de comutação, e possui menor resistência quando comparado ao Si, tendo impacto significativo nas aplicações em eletrônica de potência [16]. Apesar das vantagens, ainda se encontra em fase de aperfeiçoamento, com maiores complexidades em sua manufatura, indústria reduzida e custo elevado.

O dispositivo desta tecnologia a ser avaliado neste artigo é o MOSFET C3M0045065K, fabricado pela Cree, Inc., com os parâmetros [17] disponíveis na Tabela 1. O dispositivo possui mesmo tipo e encapsulamento que o citado anteriormente, e foi lançado em dezembro de 2020.

O diodo Schottky utilizado em todas as simulações também pertence a tecnologia SiC, modelo C3D10065A produzido pela Cree, Inc. O dispositivo possui tensão de ruptura de 650 volts, apto a operação em altas frequências, e com corrente de recuperação reversa e tensão de recuperação direta nulas [18], aumentando a eficiência global do circuito, visto que esta condição considera apenas as perdas de condução em operação normal.

C. Tecnologia GaN

O GaN é um semicondutor utilizado comercialmente desde os anos 90, com aplicação mais conhecida em leitores de disco Blu-Ray. O material possui características físico-químicas que o torna ideal para aplicações em alta potência, alta frequência e para optoeletrônica, superando o SiC e o Si. O primeiro transistor disponibilizado comercialmente veio ao mercado em 2004, mas foi pouco adotado devido à falta de componentes de alta frequência e a complexidade de controle necessária [19]. Atualmente, ganha espaço em estudos relacionados a densidade de potência e altas frequências de chaveamento, porém mantém custo elevado devido ao baixo consumo/produção e manufatura complexa.

Na simulação, será analisado o MOSFET GS66508B, produzido pela GaN Systems®, com parâmetros [20] descritos na Tabela 1. O dispositivo possui encapsulamento GaNPX, sendo um MOSFET de canal N, lançado em 2020.

Tabela 1: Parâmetros elétricos dos dispositivos utilizados.

Parâmetro	Dispositivos Utilizados		
	STW56N65M2-4	C3M0045065K	GS66508B
V_{DS} (V)	650	650	650
$V_{GS(th)}$ (V)	3	2,6	1,7
I_D (A)	49	49	30
$R_{DS(on)}$ (m Ω)	49	45	50
Q_G (nC)	93	63	6,1
C_{iss} (pF)	3900	1621	242
C_{oss} (pF)	160	101	65
C_{rss} (pF)	2,8	8	1,5
FoM_{cond} (m $\Omega \cdot nC$)	4557	2835	305
FoM_{chav} (m $\Omega \cdot nC$)	2744	1755	195

IV. ESTRUTURA PROPOSTA

Para as aferições em simulação, foi utilizado um conversor CC-CC elevador de tensão *Boost*, com os parâmetros descritos na Tabela 2. Para maior fidelidade, foram adicionadas as resistências série dos componentes e o modelo de um diodo real da tecnologia SiC, modelo C3D10065A produzido pela Cree. O modelo utilizado, assim como os das chaves, foi disponibilizado pela fabricante, com parâmetros fieis ao dispositivo real.

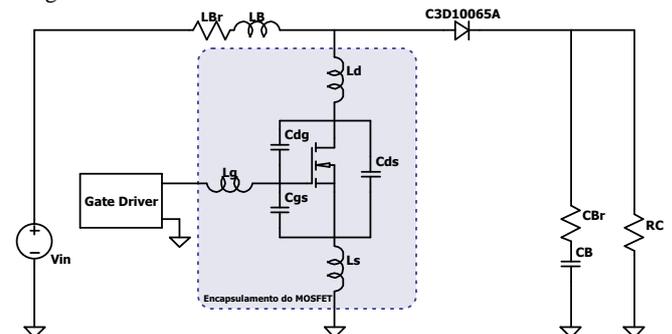
Tabela 2: Parâmetros elétricos do circuito utilizado.

Parâmetros Boost	
Tensão de entrada	200 V
Indutância LB	220 μ H
Resistência série LB	100 m Ω
Capacitância CB	47 μ F
Resistência série CB	50 m Ω
Resistência de carga	160 Ω
Potência projetada	1 kW

Na Figura 2, tem-se a representação do circuito utilizado para as simulações. Em destaque, o encapsulamento do MOSFET, com a representação de seus parâmetros intrínsecos.

Como forma de evitar idealidades na simulação, o modelo de driver de gate utilizado foi baseado em modelos disponibilizados em simulações de conversores de potência da Cree, sendo os mesmos fieis ao funcionamento real dos circuitos. A razão cíclica utilizada é de 50%, com tensões de ativação e desligamento da chave como 15,7 e -4 volts (6 e -4 volts para o dispositivo GaN), respectivamente. Apesar da razão cíclica fixa, a mesma varia levemente de acordo com a frequência, devido ao tempo morto adicionado pelo *driver* de porta, reduzindo a tensão e potência de saída. A resistência de

Figura 2: Circuito boost utilizado.



porta utilizada foi de 4Ω , para todas as situações propostas. Também será considerada a contribuição das indutâncias no encapsulamento das chaves utilizadas, que são consideradas no modelo disponibilizado pelo fabricante, e adicionadas externamente caso o contrário.

V. RESULTADOS COMPUTACIONAIS

Para a aferição dos resultados, foram executadas simulações no *software* LTspice, com amostragem mínima definida em 100 Mamostras/s. As frequências de comutação analisadas estão distribuídas entre 50 kHz e 500 kHz, abrangendo desde o utilizado convencionalmente até frequências pouco utilizadas em sistemas de potência, devido a limites tecnológicos, práticos e econômicos. Todos os dados amostrados foram coletados em condição de regime permanente, desconsiderando qualquer transitório de energização do circuito.

A. Perdas por Condução

As perdas de potência por condução, proporcionais ao quadrado da corrente eficaz nos transistores no período de condução, são reduzidas com maiores frequências de chaveamento, devido a menor variação de corrente no indutor LB e consequentemente na chave. Oscilações parasitas de alta frequência (MHz) na corrente contribuem nos resultados, elevando ligeiramente a corrente eficaz.

Na Figura 3, os resultados encontrados, considerando uma temperatura de funcionamento dos dispositivos de $40\text{ }^\circ\text{C}$ via simulação. Como a resistência de condução $R_{ds(on)}$ se relaciona com a temperatura, as mesmas foram ajustadas de acordo com os datasheets de cada dispositivo.

As correntes eficazes foram encontradas a partir da integração dos dados advindos da simulação, a partir do método trapezoidal em um período de 1 ms, utilizando o *software* MATLAB. Os dados foram extraídos em forma de arquivo de texto (.txt) exportado pelo LTspice, e manipulados via MatLab a partir da leitura e categorização dos dados em forma de matriz.

B. Perdas por Chaveamento

A corrente eficaz do circuito analisado é relativamente baixa (cerca de 3 ampères), o que reduz significativamente as perdas por condução. Assim, as perdas por chaveamento correspondem à maior parte da potência dissipada, variando com a tecnologia do dispositivo e com a frequência de comutação aplicada.

A potência total foi calculada a partir dos dados de tensão e corrente colhidos via simulação computacional, a partir da sobreposição de ambas para o cálculo da potência instantânea e a integração da mesma para o cálculo da potência eficaz. A potência dissipada pelo chaveamento considerada foi a potência total subtraída as perdas por condução. Na Figura 4, os resultados encontrados.

Como a topologia escolhida possui chaveamento abrupto de tensão e corrente (*hard switching*), existe ressonância entre os elementos parasitas do circuito, gerando oscilações a partir das frequências injetadas pelo degrau de comutação, causando perdas adicionais.

Figura 3: Potência eficaz dissipada por condução.

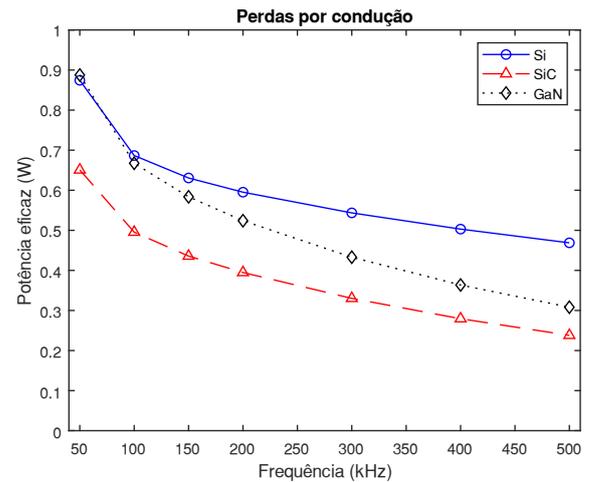
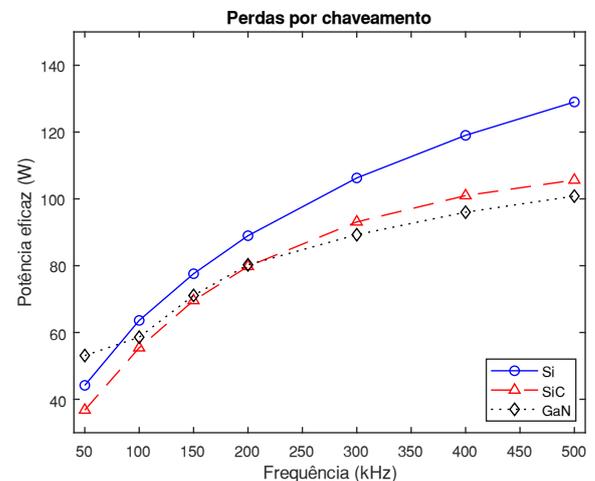


Figura 4: Potência eficaz dissipada por chaveamento.



C. Formas de Onda

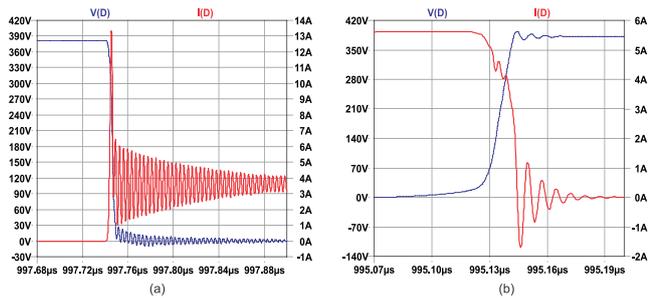
A partir das formas de onda obtidas, são analisadas as oscilações e períodos de maior dissipação de potência. Para as Figuras 5 a 7, as formas de onda (a) mostram a transição para o período de condução, enquanto as formas de onda (b) mostram o período de desligamento da chave, para a tensão e corrente.

1) Si

O semicondutor de Si apresentou oscilações de tensão e corrente, tanto nos períodos de desligamento da chave quanto no período de transição para condução, como exibido na Figura 5.

Em ambas as transições, houve um breve período de sobreposição entre tensão e corrente, que causa uma elevada dissipação de potência no dispositivo. As oscilações também contribuem fortemente para a dissipação de potência, sendo expressivas na transição para o período de condução, em ambas as formas de onda.

Figura 5: Formas de onda – Semicondutor Si.

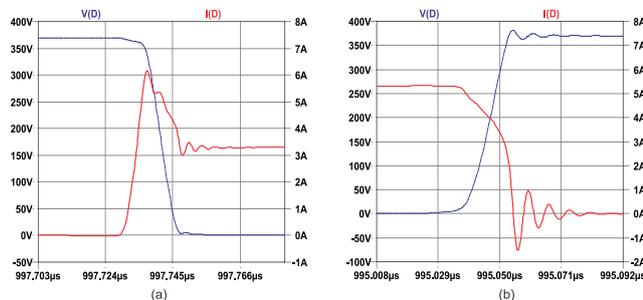


2) SiC

Para o semicondutor SiC, as oscilações são fortemente atenuadas, sendo extinguidas após poucos picos como visto na Figura 6. A maior contribuição para a dissipação de potência neste caso se deve a sobreposição de tensão e corrente, com enfoque no overshoot visto na Figura 6.a, causando dissipação expressiva diretamente proporcional a frequência de chaveamento.

Por apresentar oscilações reduzidas nas condições de teste, o semicondutor SiC se mostra como o dispositivo mais indicado para aplicações que requerem menor interferência eletromagnética, causadas pelas oscilações de altas frequências irradiadas nos períodos de chaveamento. Contudo, estudos adicionais são necessários para tal confirmação.

Figura 6: Formas de onda – semicondutor SiC.

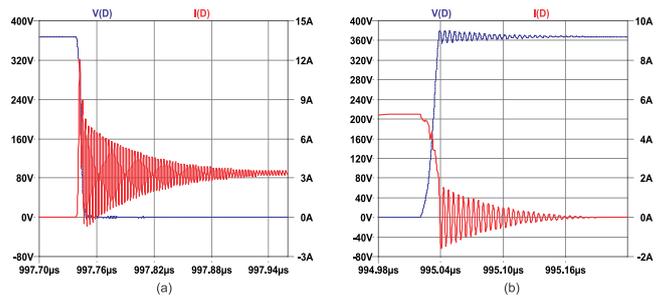


3) GaN

Em contraste com as demais tecnologias, as transições no transistor GaN causaram maiores oscilações, tanto em tensão quanto em corrente, visto na Figura 7. A frequência das oscilações é maior que a vista nas demais chaves, que pode causar maior interferência eletromagnética na topologia utilizada. Dissipação de potência por superposição de tensão e corrente também ocorrem em ambas as transições, mas de forma atenuada devido a maior velocidade de comutação.

Durante o período de desligamento, as oscilações de corrente vistas na forma de onda da Figura 7.a contribuem em maior peso na dissipação de potência, devido a tensão elevada sobre o semicondutor. Já no período de transição para condução, as oscilações presentes na corrente da Figura 7.b pouco contribuem para as perdas, visto que a tensão rapidamente se estabiliza próxima a zero.

Figura 7: Formas de onda – semicondutor GaN.



D. Tempos de Comutação

Com os resultados analisados, foram aferidos os tempos de resposta do circuito, agrupados na Tabela 3. Os resultados possuem ordem de grandeza compatíveis com os encontrados em datasheet, com variações causadas pela alteração nas condições de teste.

Tabela 3: Tempos de resposta em simulação.

Tempos de Comutação			
Tempos (ns)	STW56N65M2 -4	C3M0045065K	GS66508B
Subida	13,4	12,1	12,06
Descida	4,7	8,7	5,75
Atraso na Subida	130	21	11
Atraso na Descida	28	10	7

VI. CONCLUSÕES

O presente artigo indica as perdas relacionadas ao transistor de potência em um circuito comutado em altas frequências, comparando suas características por meio de simulação computacional. Os dados adquiridos foram adequados para tal, apesar das dificuldades de implantação e do esforço computacional exigido na geração e tratamento dos mesmos.

Com os resultados encontrados, pode-se definir a área de atuação de cada tecnologia nos circuitos comutados:

Si - Os semicondutores de Si apresentam perdas consideráveis, mas são a alternativa economicamente mais eficiente a curto prazo em circuitos de baixa frequência e potência. Para aplicações em dispositivos de potência elevada, deve-se considerar estudos de eficiência energética, com o intuito de determinar o custo das perdas energéticas ao longo do tempo de vida útil dos dispositivos. Os dispositivos Si não são indicados para o trabalho em altas frequências, visto que possuem elevada carga de porta, que aumenta os requerimentos de potência do driver;

SiC - Chaves de SiC são a melhor opção em circuitos comutados até 200 kHz, apresentando menores perdas associadas ao chaveamento e altas velocidades de comutação. Por apresentar maior resistência a altas temperaturas e maior tensão de ruptura, é altamente indicado para fabricação de módulos de elevadas potências, alcançando densidade de potência superior a dispositivos de Si;

GaN - Para frequências acima de 200 kHz, a chave de GaN é a mais indicada, com velocidades de comutação que superam a tecnologia SiC e reduzidas perdas por chaveamento. Por apresentar carga de porta reduzida, assim como menor tensão

de controle, a potência necessária para o driver é drasticamente reduzida, mesmo em frequências elevadas. Apesar do custo elevado, é indicado para utilização em circuitos em que a densidade de potência é um fator crítico, por apresentar disponibilidade em encapsulamentos planares com poucos mm² e reduzir drasticamente o volume e peso dos elementos passivos associados. Ademais, a complexidade de se projetar circuitos com tecnologias de altas frequências é um fator a ser considerado, dificultando a implantação dos dispositivos de GaN.

Os indicadores FoM, introduzidos como uma forma prévia de representar o desempenho dos dispositivos, se mostrou funcional para uma escolha inicial dos transistores, mas indica-se uma análise adicional para condições específicas de aplicação.

Vale ressaltar que, apesar de indicar comparativamente as perdas para cada tecnologia de chave, o circuito de testes pode ser melhorado para alcançar maior eficiência global. Para trabalhos futuros, é indicada a comparação das tecnologias a partir de topologias de chaveamento suave, abrangendo novas situações práticas.

AGRADECIMENTOS

Os autores agradecem pelo apoio financeiro concedido pelo CNPq (Processo 303350/2019-9) e pela FAPEMIG (Processo TEC - PPM-00485-17).

REFERÊNCIAS

- [1] A. F. de Souza, I. Barbi – “Retificadores de alto fator de potência com comutação suave e baixas perdas de condução”, *Eletrônica de Potência –SOBRAEP*, vol. 1, nº 1, pp. 01-10, Set. 2020.
- [2] K. Imai, T. Kawashima, S. Funabiki, M. Yamamoto and M. Tsuruya, "High Efficiency Low Noise SMPS System - Single Phase PFC Rectifier Side", *2007 Power Conversion Conference - Nagoya*, Nagoya, Japan, 2007, pp. 377-383, doi: 10.1109/PCCON.2007.372996.
- [3] A. M. S. Al-bayati, S. S. Alharbi, S. S. Alharbi and M. Matin, "A comparative design and performance study of a non-isolated DC-DC buck converter based on Si-MOSFET/Si-Diode, SiC-JFET/SiC-schottky diode, and GaN-transistor/SiC-Schottky diode power devices," *2017 North American Power Symposium (NAPS)*, 2017, pp. 1-6, doi: 10.1109/NAPS.2017.8107192.
- [4] R. Nune, A. Anurag, S. Anand and Y. S. Chauhan, "Comparative analysis of power density in Si MOSFET and GaN HEMT based flyback converters," *2016 10th International Conference on Compatibility, Power Electronics and Power Engineering (CPE-POWERENG)*, 2016, pp. 347-352, doi: 10.1109/CPE.2016.7544212.
- [5] B. Rubino, G. Catalisano, L. Abbatelli, S. Buonomo – “Comparative analysis of driving approach and performance of 1.2 kV SiC MOSFETs, Si IGBTs, and normally-off SiC JFETs”, *TA0349 Technical article*, ST, Fev. 2015.
- [6] Li, K., Evans, P. and Johnson, M. (2018), “SiC/GaN power semiconductor devices: a theoretical comparison and experimental evaluation under different switching conditions.” *IET Electr. Syst. Transp.*, 8: 3-11. <https://doi.org/10.1049/iet-est.2017.0022>
- [7] R. M. Burkart and J. W. Kolar, "Comparative evaluation of SiC and Si PV inverter systems based on power density and efficiency as indicators of initial cost and operating revenue," *2013 IEEE 14th Workshop on Control and Modeling for Power Electronics (COMPEL)*, 2013, pp. 1-6, doi: 10.1109/COMPEL.2013.6626462.
- [8] A. V. Jawake, K. S. Bhosale, H. S. Borse, S. R. Patil, S. R. Aher and G. C. Patil, "Comparative analysis of GaN-on-3CSiC and conventional Si MOSFET for digital integrated circuits," *2015 Annual IEEE India Conference (INDICON)*, 2015, pp. 1-4, doi: 10.1109/INDICON.2015.7443513.
- [9] S. Dusmez and Z. Ye, "Designing a 1kW GaN PFC stage with over 99% efficiency and 155W/in³ power density," *2017 IEEE 5th Workshop on Wide Bandgap Power Devices and Applications (WiPDA)*, 2017, pp. 225-232, doi: 10.1109/WiPDA.2017.8170551.
- [10] K. Yamaguchi, K. Katsura and T. Yamada, "Comprehensive evaluation and design of SiC-Based high power density inverter, 70kW/liter, 50kW/kg," *2016 IEEE 8th International Power Electronics and Motion Control Conference (IPEMC-ECCE Asia)*, 2016, pp. 1-7, doi: 10.1109/IPEMC.2016.7512253.
- [11] Infineon, “MOSFET Power Losses Calculation Using the DataSheet Parameters,” Appl. Note, Jul. 2006.
- [12] Frivaldsky, Michal & Kozáček, Boris & Kostal, Juraj. (2015). Analysis of Figure Of Merit – power transistor’s qualitative parameter. Proceedings of the 2015 16th International Scientific Conference on Electric Power Engineering, EPE 2015. 10.1109/EPE.2015.7161144.
- [13] Hart, Daniel W., “Eletrônica de Potência: Análise e Projetos de Circuitos”. Tradução: Romeu Abdo. Revisão Técnica: Antônio Pertence Júnior. Porto Alegre: AMGH, 2012.
- [14] Computer History Museum. “Timeline: the silicon engine. The Silicon Engine.” Disponível em: <https://www.computerhistory.org/siliconengine/timeline/>. Acesso em: 28 jul. 2021.
- [15] STMicroelectronics, “N-channel 650 V, 0.049 Ω typ., 49 A MDmesh™ M2 Power MOSFET in a TO247-4 package,” STW56N65M2-4 datasheet, Dez. 2014.
- [16] Reuters. “At 1200 V and 45 Milliohms, SemiSouth Introduces the Industry’s Lowest Resistance SiC Power Transistor for Efficient Power Management.” 2011. Press Release. Disponível em: <https://web.archive.org/web/20160315023429/http://www.reuters.com/article/idUS119430+05-May-2011+BW20110505>. Acesso em: 28 jul. 2021.
- [17] Cree, “Silicon Carbide Power MOSFET C3M MOSFET Technology,” C3M0045065K datasheet, Dez. 2020.
- [18] Cree, “Silicon Carbide Schottky Diode,” C3D10065A datasheet, Dez. 2015.
- [19] Navitas. “Gallium nitride: The Next Generation of Power.” Disponível em: <https://www.navitassemi.com/gallium-nitride-the-next-generation-of-power/>. Acesso em: 28 jul. 2021.
- [20] GaN Systems, “Bottom-side cooled 650 V E-mode GaN transistor,” GS66508B datasheet, 2020.