



SISTEMA PLL DE BAIXO CUSTO PARA BANCADA DE ESTUDOS DE CONVERSORES MONOFÁSICOS CONECTADOS A REDE ELÉTRICA

José Elias Freitas Assis*¹, Lucas Frederico Jardim Meloni¹ e Carlos Renato Borges dos Santos²

¹IFMG – Instituto Federal de Minas Gerais – *Campus Formiga*

²IFTM – Instituto Federal do Triângulo Mineiro – *Campus Paracatu*

Resumo - Abordar aplicações contendo inversores de tensão com saídas conectadas à rede elétrica é um desafio para disciplinas laboratoriais de Eletrônica de Potência. Os sistemas de sincronismo do conversor com a rede elétrica, atualmente são implementados através de algoritmos Phase Locked Loops (PLLs) embarcados em DSPs. A compreensão e implementação desses algoritmos envolve tópicos avançados de modelagem e controle de sistemas discretos, técnicas de processamento de sinais, transformações matemáticas de Clarke e Park para sistemas trifásicos ou monofásicos, além de técnicas avançadas de programação. T tamanha complexidade limita as abordagens em aulas laboratoriais, muitas vezes substituídas por experimentos demonstrativos ou simulações computacionais. Com o objetivo de promover uma abordagem simples e didática, o presente artigo propõe um sistema PLL digital, de baixa complexidade e custo, capaz de executar as funções necessárias para sincronização de conversores com a rede elétrica. Serão mostradas suas principais funcionalidades, vantagens e desvantagens perante as técnicas modernas, para que o aluno compreenda de forma fácil os conceitos básicos destes tópicos.

Palavras-Chave - Phase Locked Loops, Inversores de Tensão, Aprendizagem de Eletrônica de Potência, Conversores Conectado na Rede.

LOW COST PLL SYSTEM FOR A DIDATIC SINGLE-PHASE GRID CONNECTED CONVERTERS SYSTEM

Abstract - Addressing applications containing voltage inverters with outputs connected to the electrical network is a challenge for Power Electronics laboratory disciplines. The synchronization systems of the converter with the power grid are currently implemented through Phase Locked Loops (PLLs) algorithms embedded in DSPs. Understanding and implementing these algorithms involves advanced topics of modeling and control of discrete systems, signal processing techniques, mathematical transformations of Clarke and Park for

three-phase or single-phase systems, in addition to advanced programming techniques. Such complexity limits the approaches in laboratory classes, often replaced by demonstrative experiments or computer simulations. In order to promote a simple and didactic approach, this article proposes a digital PLL system, of low complexity and cost, capable of performing the necessary functions for synchronization of converters with the electrical network. Its main functionalities, advantages and disadvantages in relation to modern techniques will be shown, so that the student easily understands the basic concepts of these topics.

Keywords - Phase Locked Loops, Voltage Source inverters, Power Electronics learning, Grid connected converters.

I. INTRODUÇÃO

Circuitos conversores C.C./C.A podem ser usados com suas saídas diretamente ligadas à rede elétrica. Neste caso, seu comportamento é análogo a uma fonte de corrente controlada. A funcionalidade é definida pela estratégia de controle adotada. É possível configurá-los, por exemplo, para injeção de energia produzida por fontes renováveis, como painéis fotovoltaicos [1] ou geradores eólicos [2].

A operação do conversor deve ser síncrona e acompanhar as oscilações da tensão da rede, para garantir que as potências ativa e reativa desejadas sejam produzidas adequadamente [3]. Este sincronismo pode ser feito por sistemas Phase-Locked-Loops (PLLs), que produzem em suas saídas sinais com a mesma frequência e fase conhecida [4]. Os primeiros PLLs eram circuitos analógicos, empregados principalmente em sistemas de telecomunicação, mas posteriormente, com o desenvolvimento dos microcontroladores e DSPs, surgiram algoritmos com comportamento semelhante aos circuitos analógicos, porém com mais recursos [5].

Estes algoritmos são usados amplamente em Eletrônica de Potência, por serem capazes de incorporar técnicas de rejeição de ruídos, ou rejeição a componentes harmônicas. Além disso, os sistemas de controle modernos são baseados em uma modelagem matemática vetorial densa, que transforma sistemas de coordenadas trifásicos em sistemas bifásicos $\alpha\beta$

*zeelias.alp@gmail.com

estacionários [6] ou valores $dq0$ constantes [7]. Ambas as modelagens utilizam informações da forma de onda de tensão de alimentação, como frequência (ω) e posição angular ($\Theta = \omega t$), obtidos através dos algoritmos PLL. A complexidade destes algoritmos torna desafiador o trabalho e experimentação em aulas laboratoriais, exigindo dos alunos uma grande quantidade de conceitos prévios. Há também outras dificuldades como, por exemplo, a pouca flexibilidade de dispositivos comerciais para experimentação ou utilização de pesquisa [8].

Neste contexto, o presente artigo descreve de forma clara o desenvolvimento de um sistema PLL monofásico, para produção de sinais sincronizados com a rede elétrica, de modo a auxiliar o estudo de conversores com operação sincronizada com a rede elétrica. A motivação para esse trabalho é possibilitar que o aluno compreenda a função básica de um sistema PLL e que possa utilizá-lo em projetos de pesquisa de conversores conectados à rede. O sistema proposto utilizará componentes simples como amplificadores operacionais, circuitos lógicos digitais, uma placa Arduino Due e um circuito integrado dedicado, para a geração de sinais senoidais. Serão descritas a modelagem e os circuitos estudados. Ao final serão mostrados resultados experimentais e de simulação.

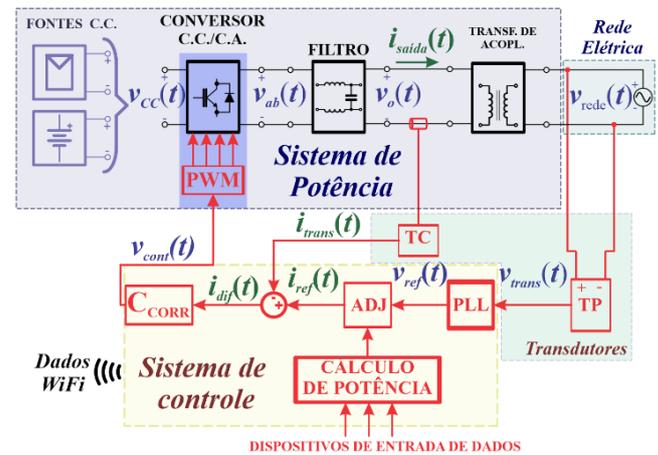
II. SISTEMAS PLL USADOS COM INVERSORES LIGADOS À REDE

A. Sistema PLL Básico

A Figura 1 mostra a estrutura básica de um sistema baseado em um conversor monofásico com saída ligada à rede elétrica. É possível separar sua análise em dois sistemas principais: Sistema de Potência e Sistema de Controle microcontrolado. O Sistema de Potência é formado por um conversor C.C./C.A. (inversor de tensão) conectado a um filtro passivo LC passa-baixas. Também é possível usar um transformador de acoplamento, para isolamento galvânica. Uma fonte de tensão contínua deve ser conectada na entrada do conversor, que modela vários sistemas como, por exemplo, associações de painéis fotovoltaicos com controladores de carga ou bancos de bateria.

O conversor será acionado através de técnicas de modulação por largura de pulso (PWM) analógicas ou digitais, para proporcionar a produção de correntes ou tensões com menor distorção harmônica total [9]. Na saída do filtro é incluso um transdutor de corrente TC para monitorar a saída do conversor. Também é necessário um transdutor de tensão TP para aquisição de amostras de tensão da rede.

Figura 1 – Diagrama de blocos de um sistema baseado em conversor conectado à rede. (Fonte: autores)

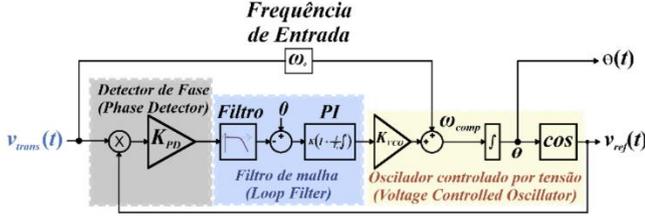


O sistema de controle engloba várias funções. A função do controlador de corrente C_{CORR} é produzir um sinal de acionamento $v_{com}(t)$ que comandará os transistores do conversor, até que o sinal de erro $i_{dif}(t)$ torne-se o menor possível, ou seja, nulo. Dessa forma, os sinais do transdutor de corrente $i_{trans}(t)$ e o de referência $i_{ref}(t)$ serão iguais e o conversor irá operar como desejado. O tipo de controlador pode variar de um simples Proporcional-Integral [10] até estruturas complexas baseadas em quadros de referência estacionários ou síncrono [3].

O PLL fornece informações, como frequência e posição angular da rede elétrica, para outros subsistemas, a fim de determinarem os valores de referência $i_{ref}(t)$. Em aplicações mais simples, como [2] a potência ativa na saída do conversor é modificada através da amplitude de $i_{ref}(t)$, com o auxílio de um multiplicador analógico. Em outros sistemas mais complexos, as potências ativa e reativa são calculadas através de modelos matemáticos, por exemplo, baseados na teoria das potências instantâneas, utilizando as informações de frequência ω_0 e posição angular Θ , também fornecidas pelo PLL [11].

A Figura 2 ilustra um sistema PLL típico. Trata-se de um sistema em malha fechada, composto por um detector de fase, um filtro de malha e um oscilador controlado por tensão. Em analogia a um sistema de controle em malha fechada, o Detector de Fase (*Phase Detector (PD)*) representa o elo de realimentação, o Filtro de malha (*Loop Filter (LF)*) é o controlador e o Oscilador controlado por tensão (*Voltage Controlled Oscillator (VCO)*) é o atuador.

Figura 2 – Estrutura básica de um sistema PLL. (Fonte: autores)



O bloco PD produz uma saída relacionada com a diferença de fase entre os sinais de entrada $v_{trans}(t)$ e $v_{ref}(t)$ de saída. O bloco LF é implementado por um filtro passa-baixas e um controlador PI. De acordo com a Figura 2, a saída do LF multiplicada pelo ganho K_{VCO} modificará o valor de frequência central ω_0 calculado do sinal de entrada, resultando no valor ω_{comp} . Em seguida ω_{comp} é integrado e resulta na posição angular Θ , que varia entre zero e um valor máximo equivalente a 2π rad, como mostra a equação (1).

$$\theta(t) = \int \omega_{comp}(t) dt \quad (1)$$

Espera-se que a correta operação do PLL resulte em um sinal $\Theta(t)$ no formato dente-de-serra, com mesma frequência, sinalizando um valor mínimo no início e máximo no final de um ciclo de $v_{trans}(t)$. O sinal $v_{trans}(t)$ pode ser representado pela equação (2), onde V é a amplitude, ω é a frequência angular e ϕ é a fase.

$$v_{trans}(t) = V \sin(\theta) = V \sin(\omega t + \phi) \quad (2)$$

O sinal $v_{saída}(t)$ será cossenoidal e estará defasado 90° $v_{trans}(t)$, de também poderá ser representada por (3).

$$v_{entrada}(t) = \cos(\theta) = \cos(\omega_{comp} t + \theta) \quad (3)$$

A saída do PD será representada pelo sinal ε_{pd} , resultado da multiplicação entre (2) e (3), como mostrado em (4).

$$\varepsilon_{pd} = VK_{PD} \sin(\omega t + \phi) \cos(\theta) = \frac{VK_{PD}}{2} \left[\sin((\omega - \omega_{comp})t + (\phi - \theta)) + \sin((\omega + \omega_{comp})t + (\phi + \theta)) \right] \quad (4)$$

Segundo [7], o filtro passa-baixas eliminará as componentes de alta frequência, resultando na simplificação (5).

$$\varepsilon_{pd} = \frac{VK_{PD}}{2} \left[\sin((\omega - \omega_{comp})t + (\phi - \theta)) \right] \quad (5)$$

Quando o VCO produzir uma saída $\omega_{comp} \approx \omega$ é possível simplificar a equação (5), através da equação (6).

$$\varepsilon_{pd} = \frac{VK_{PD}}{2} \left[\sin(\phi - \theta) \right] \quad (6)$$

Através de (6) verifica-se que o PD produz uma saída não linear. Porém, é possível utilizar a aproximação $\sin(\phi - \theta) \approx (\phi - \theta)$, como mostrado em (7), se a diferença

$(\phi - \theta_{comp})$ for pequena, considerando-se também que os sinais de entrada e saída foram travados.

$$\varepsilon_{pd} = \frac{VK_{PD}}{2} (\phi - \theta_{comp}) \quad (7)$$

C. Sistema PLL Com Detector de Fase Sequencial

O diagrama da Figura 2 é baseado nos primeiros circuitos PLL analógicos. Uma das principais dificuldades para implementar esta topologia é o uso do multiplicador analógico.

Segundo [12] os detectores de fase sequenciais, do tipo Charge-Pump, muito usados em sincronismo de sinais digitais de clock, promove rápida sincronia de frequência e em fase, utilizando componentes simples como circuitos integrados Flip-Flops e transistores. A Figura 3 ilustra um sistema PLL com detector de fase sequencial.

O detector de fase sequencial é formado por dois Flip-Flops D e uma porta lógica NÃO-E. As saídas dos Flip-Flops são ligadas a duas chaves controladas por tensão, denominadas U e L, que podem ser implementadas na prática por um par complementar de transistores de efeito de campo (CMOS). Nas entradas do detector de fase são ligados comparadores de tensão, responsáveis por transformar os sinais senoidais em sinais digitais.

Segundo [13], o funcionamento do detector de fase é baseado nas transições dos sinais de entrada. Se o $v_{trans}(t)$ estiver adiantado em relação ao sinal $v_{ref}(t)$, a chave U será ligada ao passo que a chave L será desligada. Se o $v_{trans}(t)$ estiver atrasado em relação a $v_{ref}(t)$, a chave L será ligada e a chave U desligada. Também é possível que U e L estejam desligadas simultaneamente, produzindo uma tensão nula em seu terminal central.

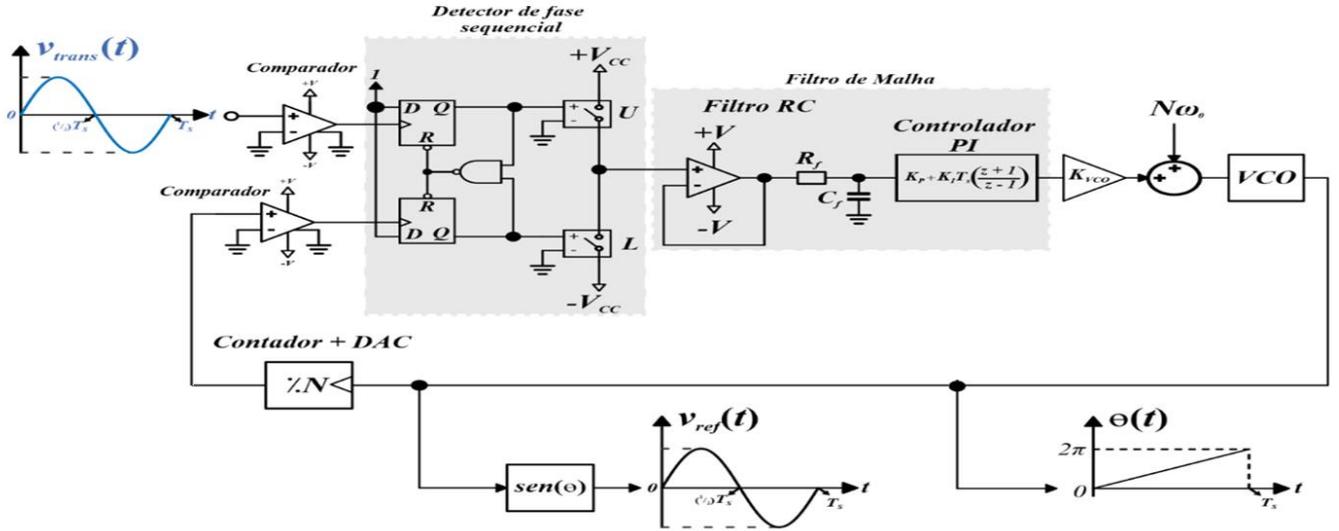
No diagrama da Figura 3, o VCO produzirá uma saída com frequência N vezes maior que ω_0 , para acionar um circuito formado por um contador e um conversor Digital para Analógico (DAC). Esse circuito realizará N contagens por ciclo e produzirá a tensão dente-de-serra $\Theta(t)$, cuja frequência será igual a ω_0 . Eventualmente, se necessário, pode-se extrair o seno de $\Theta(t)$, para produzir um sinal de saída senoidal puro $v_{ref}(t)$.

Ainda segundo [13], a relação entre variações de fase dos sinais de entrada $\Theta_i(s)$ e saída $\Theta_o(s)$ pode ser determinada pelas equações (8) a (10), em que V_{CC} é o valor de tensão utilizado nas chaves de saída do detector de fase, K_{VCO} é o ganho em Hz/V do VCO e R_f e C_f são os componentes do filtro passivo e $v_{ofiltro}(s)$ é a transformada de Laplace da tensão de saída do filtro passa-baixas. A função de transferência em malha aberta que relaciona variações entre $\Theta_i(s)$ e $\Theta_o(s)$ é mostrada em (11), obtida através da combinação das equações (8) a (10). Com auxílio de (11) é possível especificar os ganhos para o controlador PI.

$$v_{ofiltro}(s) = \left(\frac{V_{CC} \left(\frac{1}{sC_f} \right)}{2\pi \left(R_f + \left(\frac{1}{sC_f} \right) \right)} \right) \theta_e(s) \quad (8)$$

$$\theta_o(s) = \frac{K_{VCO}}{s} v_{ofiltro}(s) \quad (9)$$

Figura 3 – Sistema PLL utilizando detector de fase sequencial. (Fonte: elaborado pelos autores).



$$\theta_e(s) = \theta_i(s) - \theta_o(s) \quad (10)$$

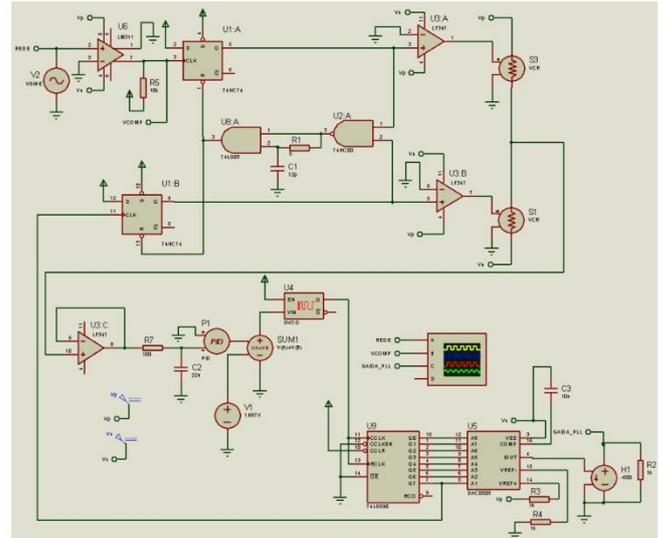
$$\frac{\theta_o(s)}{\theta_e(s)} = \frac{K_{VCO} V_{CC} \left(\frac{1}{s C_f} \right)}{s \left(2\pi \left(R_f + \left(\frac{1}{s C_f} \right) \right) + K_{VCO} V_{CC} \left(\frac{1}{s C_f} \right) \right)} \quad (11)$$

O PLL da Figura 3 foi simulado no Software Proteus 8.9 Demo, como ilustra a Figura 4-a). Foram utilizadas tensões $V_{CC} = 12 \text{ V}$, $R_f = 100 \Omega$ e $C_f = 22 \mu\text{F}$. A frequência central do VCO é 256 vezes maior que a do sinal $v_{trans}(t)$, para alimentar um circuito contador 74LS590 de 8-bits, que por sua vez irá alimentar um DAC0800. Para o controlador de loop foram usados os ganhos $K_p = 0,06$ e $K_i = 0,012$ e um tempo de amostragem $T_s = 0,1 \text{ ms}$. A Figura 4-b) mostra os resultados obtidos para o canal CHA, que representa o sinal $v_{trans}(t)$, o canal CHB representa a saída do comparador de tensão cuja entrada não inversora está conectada a $v_{trans}(t)$ e o canal CHC representa a tensão equivalente à forma de onda $\Theta(t)$, obtida na saída do DAC.

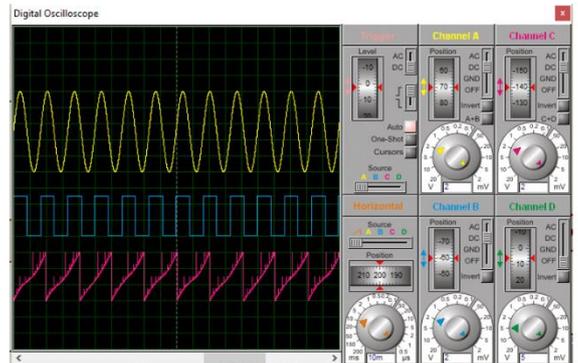
III. SISTEMA PLL SIMPLIFICADO

Se o objetivo do sistema PLL for apenas produzir um sinal de saída senoidal, em fase com a rede elétrica, para uso de controladores de corrente simples, como realizado em [2], pode-se utilizar o sistema ilustrado na Figura 5. Neste caso, o VCO que já produz um sinal de saída senoidal, com frequência próxima de ω_0 , que será travado com o sinal de entrada.

Figura 4 - Simulação do sistema PLL com detector de fase sequencial. (a) Esquema de simulação. (b) Resultados de simulação. (Fonte: elaborado pelos autores)

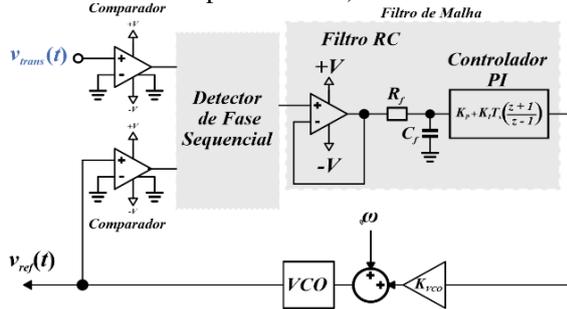


(a)



(b)

Figura 5 - Sistema PLL simplificado, para geração de um sinal senoidal em fase com a rede elétrica. (Fonte: elaborado pelos autores).



IV. RESULTADOS OBTIDOS

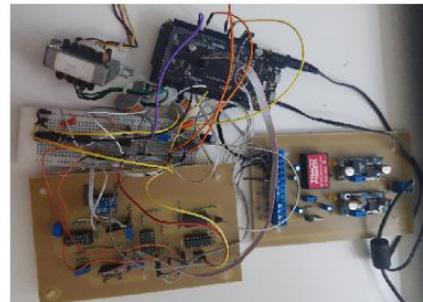
O sistema proposto na Figura 5 foi implementado com um circuito Detector de fase sequencial, foi implementado por circuitos lógicos digitais 74LS74 e 74LS00, com comparadores de tensão LM311 conectados em sua entrada. Para o filtro RC foram escolhidos $R_f = 100 \text{ k}\Omega$ e $C_f = 100 \text{ nF}$. O VCO foi implementado com auxílio de um circuito gerador de formas de onda AD9833, do tipo *Direct Digital Synthesizer*. A velocidade de comunicação não interferiu no desempenho do VCO, que pode ser considerado linear, cujo ganho $K_{VCO} = 1$. O filtro de Malha foi implementado por uma placa Arduino Due disponível. A frequência do sinal de entrada foi determinada com auxílio de um periférico de Captura de entrada (*Input Capture*).

A Figura 6-a) ilustra uma foto da montagem realizada e a Figura 6-b) mostra uma captura de tela obtida de um osciloscópio Hantek 6022be. No canal 1 é mostrado o sinal de saída do comparador que recebe $v_{trans}(t)$ em sua entrada e no canal 2 é mostrada a tensão de saída produzida pelo AD9833. Observa-se que a topologia simplificada conseguiu produzir um sinal de saída em fase com a rede elétrica. O circuito implementado se mostrou eficiente em sincronizações de sinais de 1 até 1 kHz, sendo que a saída produzida pelo PLL pode ser usada como sinal de referência de corrente para um inversor conectado à rede.

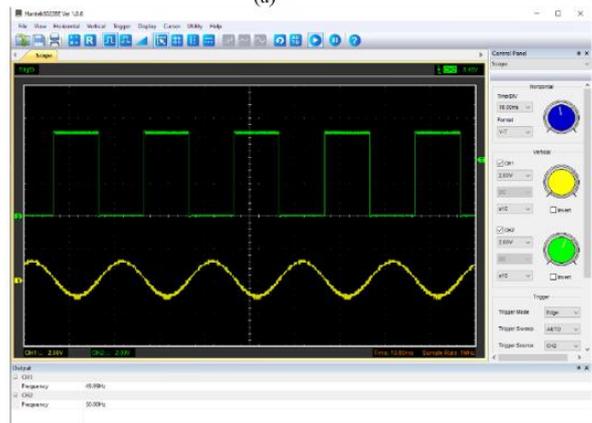
V. CONCLUSÕES

Este artigo abordou um sistema PLL didático destinado a uso em disciplinas laboratoriais de Eletrônica de Potência, para estudo de aplicações envolvendo conversores C.C./C.A. com saída conectada à rede elétrica. Inicialmente foram mostradas as funcionalidades básicas esperadas para um sistema de sincronismo, onde verificou-se que o mesmo deve ser capaz de produzir sinais sincronizados com a forma de onda de tensão da rede, que sejam capazes de indicar a frequência e a posição angular instantânea desta tensão. Estes dados são necessários para realização de sistemas de controle modernos. Com auxílio de circuitos lógicos e uma plataforma de desenvolvimento aberta como o Arduino, foi possível obter um circuito simples, capaz de suprir estas necessidades e mais amigável para ser compreendido em aulas laboratoriais de Eletrônica de Potência.

Figura 6 – Resultados experimentais. (a) Montagem do PLL simplificado. (b) Formas de onda da tensão da rede ao sair do comparador LM311 (Onda quadrada) e de saída do AD9833 (Onda Amarela). (Fonte: produzido pelos autores).



(a)



(b)

VI. REFERÊNCIAS

- [1] M. HLAILI, H. MECHERGUI, H. GONÇALVES, B. EXPOSTO e L. J. AFONSO, “Single Phase NPC Inverter Controller with Integrated MPPT for PV Grid Connection,” em *17th International Conference on Sciences and Techniques of Automatic Control & Computer Engineering*, Sousse, 2016.
- [2] M. C. MACCARINI, Inversor monofásico sincronizado para a conexão de um gerador eólico à rede elétrica: estudo, projeto e implementação, Florianópolis: Dissertação de Mestrado Universidade Federal de Santa Catarina, 2019.
- [3] W. ZHANG, Control of Grid Connected Power Converters with Grid Support Functionalities, Barcelona: Tede de Doutorado Universitat Politècnica de Catalunya, 2017.
- [4] J. B. ENCINAS, Phase Locked Loops, Springer Science + Business, 1993.
- [5] R. E. BEST, Phase-Locked Loops: Design, simulation, and applications., McGraw-Hill, 2003.
- [6] R. TEODURESCU, F. BLAAGJERG, M. LISERRE e P. C. LOH, “Proportional-resonant controllers and filters for grid-connected voltage-source converters,” *IEE Proceedings - Electric Power Applications*, vol. 153, nº 5, 2006.

- [7] R. TEODURESCU, M. LISERE e P. RODRIGUEZ, *Grid Converters for Photovoltaic and Wind Power Systems*, John Wiley & Sons, 2010.
- [8] E. SILVA, J. d. J. F. CERQUEIRA e A. OLIVEIRA, “Conversor de frequência didático para auxiliar no ensino e na aprendizagem de Eletrônica de Potência,” em *Congresso Brasileiro de Educação em Engenharia (COBENGE) e II Simpósio Internacional de Educação em Engenharia ABENGE*, Fortaleza, 2019.
- [9] D. HART, *Eletrônica de Potência: análise de projetos de circuitos*, Porto Alegre: AMGH, 2012.
- [10] D. DONG, *Modeling and Control Design of a Bidirectional PWM Converter for Single-Phase Energy Systems*, Blacksburg: Dissertação de Mestrado. Virginia Polytechnic Institute and State University, 2009.
- [11] H. AKAGI, E. H. WATANABE e M. AREDES , *Instantaneous Power Theory and Applications to power conditioning.*, 2007: John Wiley & Sons, 2007.
- [12] N. e. a. KUZNETSOV, “Charge Pump Phase-Locked Loop With Phase-Frequency detector: closed form mathematical model.,” *arXiv Cornell University*, Março 2019.
- [13] F. M. GARDNER, “Charge-Pump Phase-Lock Loops,” *IEEE Transactions on Communications*, Vols. COM-28, n° 11, pp. 1849-1858, 1980.